

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 5月19日
Date of Application:

出願番号 特願2003-140591
Application Number:

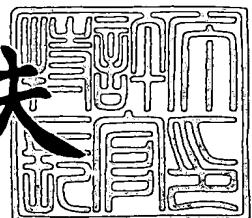
[ST. 10/C] : [JP2003-140591]

出願人 セイコーエプソン株式会社
Applicant(s):

2004年 2月27日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 J0097439
【提出日】 平成15年 5月19日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/60
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
【氏名】 湯澤 秀樹
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーエプソン株式会社
【代理人】
【識別番号】 100066980
【弁理士】
【氏名又は名称】 森 哲也
【選任した代理人】
【識別番号】 100075579
【弁理士】
【氏名又は名称】 内藤 嘉昭
【選任した代理人】
【識別番号】 100103850
【弁理士】
【氏名又は名称】 崔 秀▲てつ▼
【手数料の表示】
【予納台帳番号】 001638
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014966

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、電子デバイス、電子機器および半導体装置の
製造方法

【特許請求の範囲】

【請求項 1】 半導体チップと、

前記半導体チップの表面から突出して設けられ、それぞれが第1の重心を有する複数の第1の突起電極を含む第1の突起電極列であって、前記第1の重心を繋いだ第1の線分上に設けられた前記第1の突起電極列と、

前記半導体チップの表面から突出して設けられ、それぞれが第2の重心を有する複数の第2の突起電極を含む第2の突起電極列であって、前記第2の重心を繋いだ第2の線分上に設けられた前記第2の突起電極列と、を含み、

前記第1の線分と前記第2の線分とは、前記前記第1の線分と前記第2の線分との短手方向に離間して位置し、

前記第1の突起電極の幅は、前記第2の突起電極の幅よりも小さく、

前記第1の突起電極の長さは、前記第2の突起電極の長さよりも大きいことを特徴とする半導体装置。

【請求項 2】 前記第1の突出電極と前記第2の突出電極とは、前記基板側の表面の面積が実質的に等しいことを特徴とする請求項1記載の半導体装置。

【請求項 3】 前記半導体チップが搭載された配線パターンを有する配線基板であって、前記第1の突出電極及び前記第2の突起電極が配線パターンに接合された前記配線基板をさらに備えることを特徴とする請求項1または2記載の半導体装置。

【請求項 4】 前記半導体チップと前記配線基板との間には、樹脂層が設けられていることを特徴とする請求項3記載の半導体装置。

【請求項 5】 電子部品と、

前記電子部品の表面から突出して設けられ、それぞれが第1の重心を有する複数の第1の突起電極を含む第1の突起電極列であって、前記第1の重心を繋いだ第1の線分上に設けられた前記第1の突起電極列と、

前記電子部品の表面から突出して設けられ、それぞれが第2の重心を有する複

数の第2の突起電極を含み第2の突起電極列であって、前記第2の重心を繋いだ第2の線分上に設けられた前記第2の突起電極列と、を含み、

前記第1の線分と前記第2の線分とは、前記前記第1の線分と前記第2の線分との短手方向に離間して位置し、

前記第1の突起電極の幅は、前記第2の突起電極の幅よりも小さく、

前記第1の突起電極の長さは、前記第2の突起電極の長さよりも大きいことを特徴とする電子デバイス。

【請求項6】 半導体チップと、

前記半導体チップに電気的に接続される配線パターンを含む配線基板と、

前記配線基板を介して前記半導体チップに電気的に接続する電子部品と、

前記半導体チップと前記配線基板との間に設けられ、それが第1の重心を有する複数の第1の突起電極を含む第1の突起電極列であって、前記第1の重心を繋いだ第1の線分上に設けられた前記第1の突起電極列と、

前記半導体チップと前記配線基板との間に設けられ、それが第2の重心を有する複数の第2の突起電極を含む第2の突起電極列であって、前記第2の重心を繋いだ第2の線分上に設けられた前記第2の突起電極列と、を含み、

前記第1の線分と前記第2の線分とは、前記前記第1の線分と前記第2の線分との短手方向に離間して位置し、

前記第1の突起電極の幅は、前記第2の突起電極の幅よりも小さく、

前記第1の突起電極の長さは、前記第2の突起電極の長さよりも大きいことを特徴とする電子機器。

【請求項7】 半導体チップに、前記半導体チップから突出して設けられた第1の突起電極列と第2の突起電極列とであって、それが第1の重心を有する複数の第1の突起電極を含み前記第1の重心を繋いだ第1の線分上に設けられた前記第1の突起電極列と、それが第2の重心を有する第2の突起電極を含み、前記第2の重心を繋いだ第2の線分上に設けられた前記第2の突起電極列と、を前記第1の突起電極の幅が前記第2の突起電極の幅よりも小さくなり、かつ、前記第1の突起電極の長さが前記第2の突起電極の長さよりも大きくなるように設ける工程と、

前記第1の突起電極列及び前記第2の突起電極列とを介して、前記半導体チップを配線パターンを含む配線基板に搭載し、前記第1の突起電極列及び前記第2の突起電極列と前記配線パターンとを電気的に接続する工程と、を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置、電子デバイス、電子機器および半導体装置の製造方法に関し、特に、フリップチップ実装に適用して好適なものである。

【0002】

【従来の技術】

従来の半導体装置では、例えば、特許文献1に開示されているように、配線基板上に形成された接続端子上に突出電極を接合することにより、半導体チップを配線基板上に実装する方法がある。

図4 (a) は、従来の接続端子および突出電極の配置方法を示す平面図、図4 (b) は、配線基板上に実装された半導体チップの構成を示す断面図である。

【0003】

図4において、配線基板41上には、配線部42'および配線部42'に接続された接続端子42が形成され、半導体チップ43には、矩形状の突出電極44が設けられている。ここで、接続端子42および突出電極44は、例えば、図4 (a) に示すように、千鳥状に配列することができる。そして、半導体チップ43に設けられた突出電極44が接続端子42上に接合されることにより、半導体チップ43が配線基板41上にフェースダウン実装されている。そして、半導体チップ43と配線基板41との間に封止樹脂45を注入することにより、半導体チップ43の表面を封止することができる。

【0004】

【特許文献1】

特開2000-269611号公報

【0005】

【発明が解決しようとする課題】

しかしながら、回路パターンの微細化に伴って、配線部42'がファインピッチ化されると、配線部42'に隣接する突出電極44'との間の間隔D3が狭くなる。このため、半導体チップ43のマウント位置の精度が厳しくなり、配線部42'のファインピッチ化に制約がかかるという問題があった。

【0006】

そこで、本発明の目的は、配線部のファインピッチ化を可能としつつ、半導体チップのマウント位置の精度を緩和することが可能な半導体装置、電子デバイス、電子機器および半導体装置の製造方法を提供することである。

【0007】**【課題を解決するための手段】**

上述した課題を解決するために、本発明の一態様に係る半導体装置によれば、半導体チップと、前記半導体チップの表面から突出して設けられ、それぞれが第1の重心を有する複数の第1の突起電極を含む第1の突起電極列であって、前記第1の重心を繋いだ第1の線分上に設けられた前記第1の突起電極列と、前記半導体チップの表面から突出して設けられ、それぞれが第2の重心を有する複数の第2の突起電極を含む第2の突起電極列であって、前記第2の重心を繋いだ第2の線分上に設けられた前記第2の突起電極列と、を含み、前記第1の線分と前記第2の線分とは、前記前記第1の線分と前記第2の線分との短手方向に離間して位置し、前記第1の突起電極の幅は、前記第2の突起電極の幅よりも小さく、前記第1の突起電極の長さは、前記第2の突起電極の長さよりも大きいことを特徴とする。

【0008】

これにより、第1列目の突出電極の幅を広げることを可能として、第1列目の突出電極を接続端子に安定して接合させることができるとともに、第2列目の突出電極の幅を狭めることができとして、第2列目の突出電極に隣接する配線部との間隔を広げることが可能となる。このため、配線部のファインピッチ化を可能としつつ、半導体チップのマウント位置の精度を緩和することが可能となり、マウント工程の負担増を抑制しつつ、配線部のファインピッチ化を促進するこ

とが可能となる。

【0009】

また、本発明の一態様に係る半導体装置によれば、前記第1の突出電極と前記第2の突出電極とは、前記基板側の表面の面積が実質的に等しいことを特徴とする。

これにより、幅及び長さが異なる第1と第2の突起電極とを有していても、第1と第2の突起電極とにかく荷重を均一化することができる。このため、突起電極下のパッシベーション膜等へのダメージを避けることができる。さらに、突起電極の強度も均一化することができるため、半導体チップを実装する際等に突起電極が剥離するのを防止することができる。

【0010】

また、本発明の一態様に係る半導体装置によれば、前記半導体チップが搭載された配線パターンを有する配線基板であって、前記第1の突出電極及び前記第2の突起電極が配線パターンに接合された前記配線基板をさらに備えることを特徴とする。

これにより、配線基板の配線パターンがファインピッチ化されている場合においても、半導体チップの搭載時の位置精度の緩和を図りつつ、半導体チップを配線基板に実装することが可能となる。

【0011】

また、本発明の一態様に係る半導体装置によれば、前記半導体チップと前記配線基板との間には、樹脂層が設けられていることを特徴とする。

これにより、配線基板の配線部がファインピッチ化されている場合においても、突出電極の接合時の温度上昇を抑制しつつ、半導体チップを回路基板に安定して実装することが可能となる。

【0012】

また、本発明の一態様に係る電子デバイスによれば、電子部品と、前記電子部品の表面から突出して設けられ、それぞれが第1の重心を有する複数の第1の突起電極を含む第1の突起電極列であって、前記第1の重心を繋いだ第1の線分上に設けられた前記第1の突起電極列と、前記電子部品の表面から突出して設けら

れ、それぞれが第2の重心を有する複数の第2の突起電極を含み第2の突起電極列であって、前記第2の重心を繋いだ第2の線分上に設けられた前記第2の突起電極列と、を含み、前記第1の線分と前記第2の線分とは、前記前記第1の線分と前記第2の線分との短手方向に離間して位置し、前記第1の突起電極の幅は、前記第2の突起電極の幅よりも小さく、前記第1の突起電極の長さは、前記第2の突起電極の長さよりも大きいことを特徴とする。

【0013】

これにより、第1の突出電極を安定して配線パターンに接合させることが可能となるとともに、第2の突出電極に接合する配線間の間隔を広げることが可能となり、配線パターンに含まれる配線のファインピッチ化を可能としつつ、電子部品の搭載時の位置の精度を緩和することが可能となる。

また、本発明の一態様に係る電子機器によれば、半導体チップと、前記半導体チップに電気的に接続される配線パターンを含む配線基板と、前記配線基板を介して前記半導体チップに電気的に接続する電子部品と、前記半導体チップと前記配線基板との間に設けられ、それが第1の重心を有する複数の第1の突起電極を含む第1の突起電極列であって、前記第1の重心を繋いだ第1の線分上に設けられた前記第1の突起電極列と、前記半導体チップと前記配線基板との間に設けられ、それが第2の重心を有する複数の第2の突起電極を含む第2の突起電極列であって、前記第2の重心を繋いだ第2の線分上に設けられた前記第2の突起電極列と、を含み、前記第1の線分と前記第2の線分とは、前記前記第1の線分と前記第2の線分との短手方向に離間して位置し、前記第1の突起電極の幅は、前記第2の突起電極の幅よりも小さく、前記第1の突起電極の長さは、前記第2の突起電極の長さよりも大きいことを特徴とする。

【0014】

これにより、配線のファインピッチ化を可能としつつ、半導体チップの搭載時の位置の精度を緩和することが可能となり、電子機器の小型・軽量化を図ることが可能となる。

また、本発明の一態様に係る半導体装置の製造方法によれば、半導体チップに、前記半導体チップから突出して設けられた第1の突起電極列と第2の突起電極

列とであって、それぞれが第1の重心を有する複数の第1の突起電極を含み前記第1の重心を繋いだ第1の線分上に設けられた前記第1の突起電極列と、それぞれが第2の重心を有する第2の突起電極を含み、前記第2の重心を繋いだ第2の線分上に設けられた前記第2の突起電極列と、を前記第1の突起電極の幅が前記第2の突起電極の幅よりも小さくなり、かつ、前記第1の突起電極の長さが前記第2の突起電極の長さよりも大きくなるように設ける工程と、前記第1の突起電極列及び前記第2の突起電極列とを介して、前記半導体チップを配線パターンを含む配線基板に搭載し、前記第1の突起電極列及び前記第2の突起電極列と前記配線パターンとを電気的に接続する工程と、を含むことを特徴とする。

【0015】

これにより、配線基板の配線がファインピッチ化されている場合においても、半導体チップの搭載位置精度を緩和することが可能となることから、製造工程の負担増を抑制しつつ、半導体チップを回路基板に実装することが可能となる。

【0016】

【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置、電子デバイスおよびそれら製造方法について図面を参照しながら説明する。

図1 (a) は、本発明の第1実施形態に係る半導体装置の構成を示す断面図、図1 (b) は、本発明の第1実施形態に係る接続端子および突出電極の構成を示す平面図である。

【0017】

図1において、配線基板1上には、配線部2'および配線部2'に接続された接続端子2が形成され、半導体チップ3には突出電極4が設けられている。なお、接続端子2および突出電極4は、例えば、図1 (b) に示すように、千鳥状に配列することができる。そして、異方性導電シート5を介して突出電極4が接続端子2上にACF (Anisotropic Conductive Film) 接合されることにより、半導体チップ3が配線基板1上に実装されている。ACFの代わりに、ACP (Anisotropic Conductive Paste) 、絶縁性接着剤、絶縁性樹脂等を設けてもよい。

ここで、第1の突出電極4と第2の突出電極4'とは、千鳥配列されている。第2の突出電極4'の底面の幅W2は、第1列目の突出電極4の底面の幅W1より小さくなるとともに、第2列目の突出電極4'の底面の長さL2は、第1列目の突出電極4の底面の長さL1より長くなるように構成することができる。また、第1列目の突出電極4と第2列目の突出電極4'とは、各突出電極4、4'の配列方向に重複しないように、半導体チップ3の長辺または短辺いずれか少なくとも一方に沿って配列することができる。ここで、千鳥配列とは、第1の重心を有する第1の突起電極を含む第1の突起電極列が、第1の重心を繋いだ第1の線分上に設けられており、第2の重心を有する複数の第2の突起電極を含む第2の突起電極列が、第2の重心を繋いだ第2の線分上に設けられている。この際に、第1の線分と第2の線分は、各線分の短手方向に離間して設けられている。

【0018】

これにより、第1列目の突出電極4の幅W1を広げることを可能として、第1列目の突出電極4を安定して接続端子2'に接合させることができるとともに、第2列目の突出電極の幅4'を狭めることができとして、第2列目の突出電極4'と第2列目の突出電極4'に隣接する配線部2'との間隔D1を広げることが可能となる。このため、配線部2'同士の間隔D2を狭めた場合においても、第2列目の突出電極4'と第2列目の突出電極4'に隣接する配線部2'との間隔D1を確保することができとなり、配線部2'のファインピッチ化を可能としつつ、半導体チップ3のマウント位置精度を緩和することができる。

【0019】

なお、第1列目の突出電極4と第2列目の突出電極4'とは、底面の面積が実質的に等しいことが好ましい。これにより、第2列目の突出電極4'の底面の幅W2は、第1列目の突出電極4の底面の幅W1より小さくなるとともに、第2列目の突出電極4'の底面の長さL2は、第1列目の突出電極4の底面の長さL1より長くなるように構成した場合においても、異方性導電シート5に含まれる導電粒子の補足面積を一致させることができとなり、配線部2'のファインピッチ化を促進することを可能としつつ、A C F接合を安定して行うことが可能となる。

【0020】

なお、突出電極4としては、例えば、Auバンプ、半田材などで被覆されたCuバンプやNiバンプ、あるいは半田ボールなどを用いることができる。また、配線部2'および接続端子2としては、例えば、銅箔パターン、配線基板1としては、例えば、フィルム基板、ガラス基板などを用いることができる。また、上述した実施形態では、ACF接合により半導体チップ3を配線基板1上に実装する方法について説明したが、例えば、NCF(Nonconductive Film)接合などのその他の接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。

【0021】

本発明は、半導体チップ3を用いて説明を行ったが、本実施の形態に限定されるものではなく、半導体チップ3を電子素子に置き換えることもできる。電子素子としては、コンデンサ、抵抗等が挙げられる。

図2は、図1の半導体装置の製造方法を示す断面図である。

図2(a)において、配線基板1上に形成された銅箔のパターニングを行うことにより、接続端子2および配線部2'を配線基板1上に形成する。

【0022】

次に、図2(b)に示すように、接続端子2が設けられた配線基板1上に異方性導電シート5を貼り付ける。そして、突出電極4が接続端子2上に配置されよう、半導体チップ3の位置合わせを行う。

次に、図2(c)に示すように、突出電極4が接続端子2上に配置された状態で、半導体チップ3に上から荷重をかけることにより、異方性導電シート5を介して突出電極4を接続端子2上にACF接合する。

【0023】

これにより、回路基板の配線部2'がファインピッチ化されている場合においても、半導体チップ3のマウント位置精度を緩和することが可能となり、製造工程の負担増を抑制しつつ、半導体チップ3を回路基板に実装することが可能となる。

図3(a)は、図3(b)のA-A線で切断した断面図、図3(b)は、本発

明の第2実施形態に係る液晶モジュールの概略構成を示す平面図である。

【0024】

図3において、液晶モジュールには、液晶パネルP Nおよび液晶パネルP Nを駆動する液晶ドライバDRが設けられている。ここで、液晶ドライバDRには、駆動用回路などが形成された半導体チップ13が設けられている。そして、異方性導電シート15を介して、半導体チップ13が配線基板11上に実装されている。

【0025】

また、液晶パネルP Nには、ガラス基板31、34が設けられ、ガラス基板31にはITOなどの透明電極32が形成されている。透明電極32が形成されたガラス基板31とガラス基板34との間には液晶層33が設けられ、液晶層33はシール材35でシールされている。

ここで、配線基板11上には、配線部12a、12bが設けられている。そして、配線部12aのアウタリードは、ACFなどの接続端子22を介してプリント基板21に接続されるとともに、配線部12bのアウタリードは、ACFなどの接続端子36を介して透明電極32に接続されている。

【0026】

一方、配線部12a、12bのインナーリードは、例えば、異方性導電シート15を介して半導体チップ13の突出電極14にACF接合されている。ここで、配線部12a、12bのインナーリードおよび突出電極14は、例えば、図1(b)に示すように、千鳥状に配列することができる。また、半導体チップ13に千鳥配列された第1列目の突出電極14より幅が小さく、長さが長く、第1列目の突出電極14と配列方向に重複しないように、第2列目の突出電極14を半導体チップ13に配列することができる。また、第1列目および第2列目の突出電極14の底面の面積を実質的に等しくすることができる。

【0027】

これにより、千鳥配列された第1列目の突出電極14を配線部12a、12bのインナーリードに安定して接合させることができるとともに、第2列目の突出電極14に隣接する配線部12a、12bとの間隔を広げることが可能とな

り、配線部12a、12bのファインピッチ化を可能としつつ、半導体チップ13のマウント位置の精度を緩和することが可能となる。また、千鳥配列された第1列目の突出電極14に比べて第2列目の突出電極14の幅を小さく、長さを長くした場合においても、異方性導電シート15に含まれる導電粒子の補足面積を一致させることができとなり、配線部12a、12bのファインピッチ化を促進することを可能としつつ、ACF接合を安定して行うことが可能となる。

【図面の簡単な説明】

【図1】 第1実施形態に係る半導体装置の構成を示す図。

【図2】 図1の半導体装置の製造方法を示す断面図。

【図3】 第2実施形態に係る液晶モジュールの構成を示す図。

【図4】 従来の半導体装置の構成を示す図。

【符号の説明】

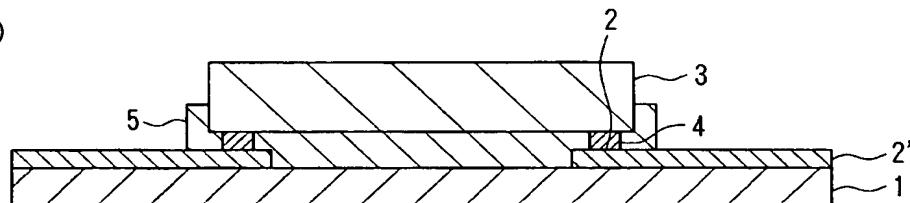
1、11 配線基板、2 接続端子、2'、12a、12b 配線部、3、13 半導体チップ、4、4'、14、突出電極、5、15 異方性導電シート、21 プリント基板、22、36 接続端子、31、34 ガラス基板、32 透明電極、33 液晶層、35 シール材

【書類名】

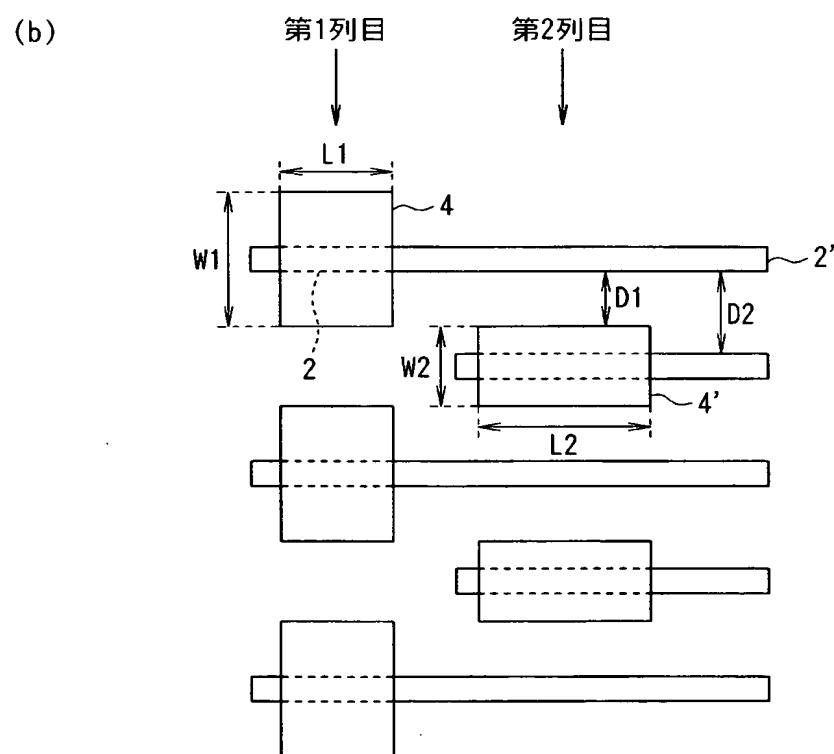
図面

【図 1】

(a)

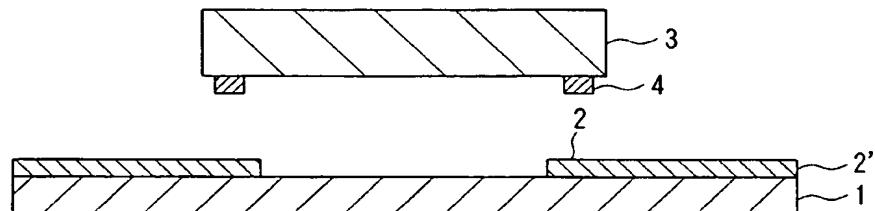


(b)

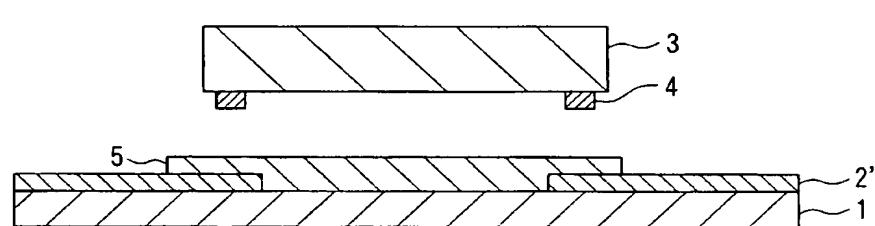


【図2】

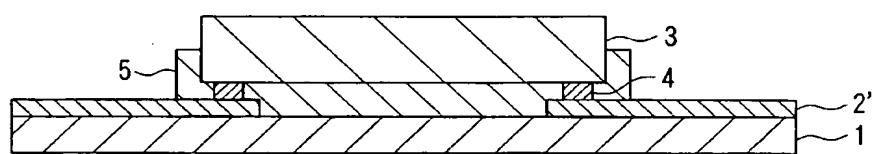
(a)



(b)

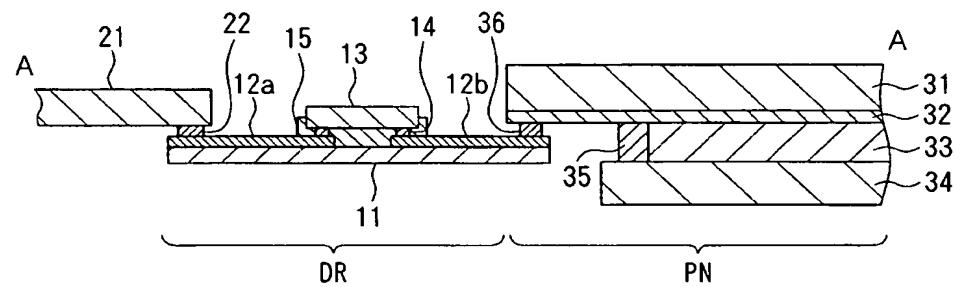


(c)

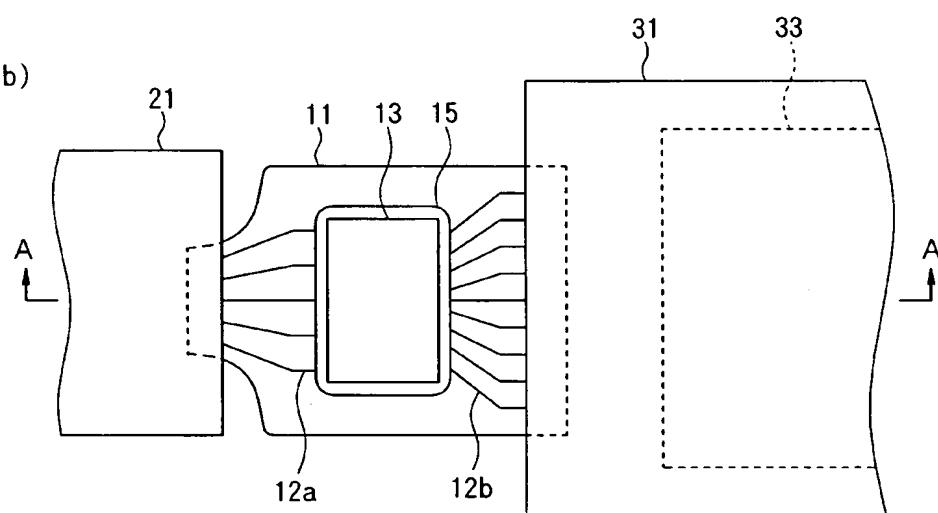


【図3】

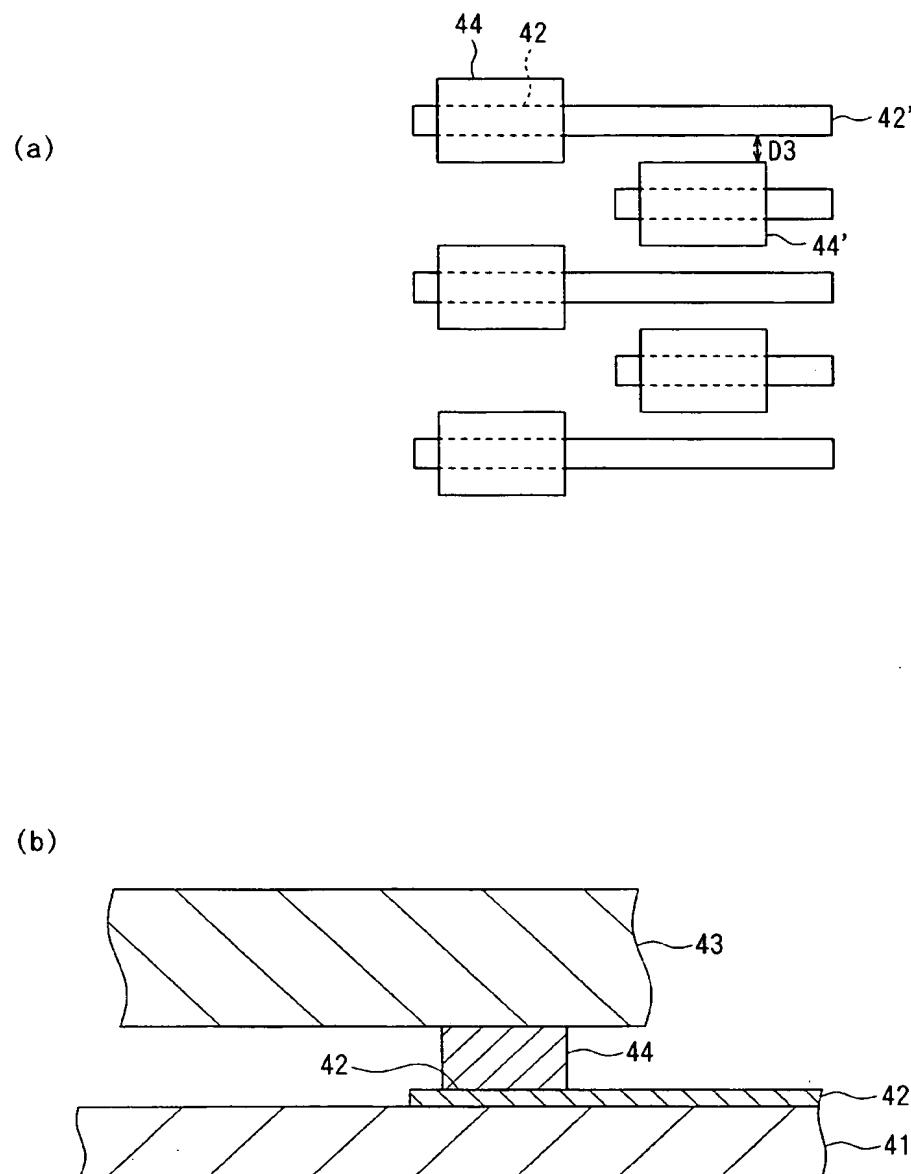
(a)



(b)



【図 4】



【書類名】 要約書

【要約】

【課題】 配線部のファインピッチ化を可能としつつ、半導体チップのマウント位置の精度を緩和する。

【解決手段】 千鳥配列された第2列目の突出電極4'の底面の幅W2を、第1列目の突出電極4の底面の幅W1より小さくするとともに、第2列目の突出電極4'の底面の長さL2を、第1列目の突出電極4の底面の長さL1より長くなるように構成する

【選択図】 図1

特願 2003-140591

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社